

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-260899

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G01R 31/3183
 G01R 31/28
 H03K 5/00
 // H03K 5/156

(21)Application number : 06-057079

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 28.03.1994

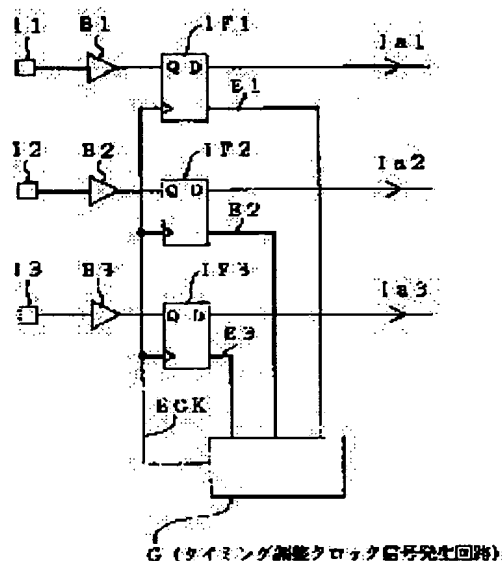
(72)Inventor : YOSHIKI TAMOTSU

(54) SIGNAL TIMING ADJUSTING CIRCUIT

(57)Abstract:

PURPOSE: To prevent erroneous function due to alteration of in the variation of each logic state among a plurality of signals.

CONSTITUTION: When the logic state changes in each input signal I1,..., I3, corresponding logic state variation detection signals enter into an H state. Even it more than one logic state variation detection signals E1,..., E3 enter into the H state within a predetermined timing adjusting time interval, one timing adjusting clock signal ECK is outputted. Consequently, even if the logical state changes in a plurality of signals within the timing adjusting time interval, input signals Ia1,..., Ia3 are outputted at same timing.



LEGAL STATUS

[Date of request for examination] 14.02.2001

[Date of sending the examiner's decision of rejection] 01.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-260899

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/3183

31/28

H 0 3 K 5/00

G 0 1 R 31/ 28

Q

V

審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平6-57079

(22) 出願日

平成6年(1994)3月28日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 吉木 保

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

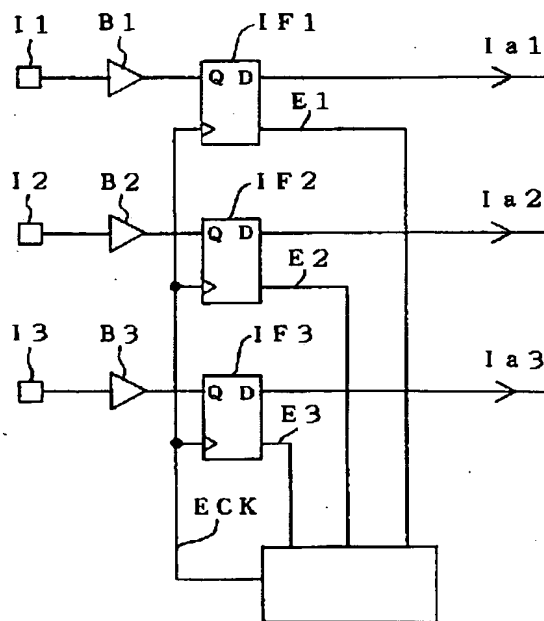
(74) 代理人 弁理士 高矢 諭 (外2名)

(54) 【発明の名称】 信号タイミング調整回路

(57) 【要約】

【目的】 複数の信号間での各論理状態の変化の順序の入替わりによる誤動作を防止する。

【構成】 入力信号 I 1 ~ I 3 それぞれで論理状態が変化すると、対応する論理状態変化検出信号 E 1 ~ E 3 が H 状態となる。所定タイミング調整時間幅 T α 内で前記論理状態変化検出信号 E 1 ~ E 3 が 2 以上 H 状態となったとしても、一つのタイミング調整クロック信号 E C K が出力される。従って、タイミング調整時間幅 T α 以内に複数の信号に論理状態の変化が発生したとしても、同一タイミングで、入力信号 I a 1 ~ I a 3 として出力される。



G (タイミング調整クロック信号発生回路)

【特許請求の範囲】

【請求項1】そのデータ入力に、第1入力信号が入力される第1入力フリップフロップと、

そのデータ入力に、第2入力信号が入力される第2入力フリップフロップと、

前記第1入力フリップフロップの前記データ入力の論理状態の変化を検出する第1入力信号変化検出回路と、

前記第2入力フリップフロップの前記データ入力の論理状態の変化を検出する第2入力信号変化検出回路と、

前記第1入力信号変化検出回路あるいは前記第2入力信号変化検出回路の少なくとも一方で論理状態の変化が検出された場合、該検出を所定タイミング調整時間幅 $T\alpha$ だけ遅延させて伝達するタイミング調整クロック信号を出力するタイミング調整クロック信号発生回路とを備え、

前記第1入力フリップフロップ及び前記第2入力フリップフロップのそれぞれのクロック入力へと、前記タイミング調整クロック信号を入力するようにしたことを特徴とする信号タイミング調整回路。

【請求項2】請求項1において、

前記第1入力信号変化検出回路が、前記第1入力フリップフロップのその前記データ入力とそのデータ出力との論理状態の比較により、その前記データ入力の論理状態の変化を検出するものであり、

前記第2入力信号変化検出回路が、前記第2入力フリップフロップのその前記データ入力とそのデータ出力との論理状態の比較により、その前記データ入力の論理状態の変化を検出するものであることを特徴とする信号タイミング調整回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばLSI (large scale integrated circuit) 等の半導体集積回路の入力回路等に利用するのに好適な、複数の信号間での、各論理状態の変化の順序の、微妙な相互変化による内部回路の誤動作を防止することが可能な信号入力タイミング調整回路に関する。

【0002】

【従来の技術】LSI等の半導体集積回路に作り込まれる論理回路は、組合せ回路と、順序回路とに大別することができる。この組合せ回路は、現在の入力のみで所定の論理演算を行い、該論理演算結果を出力するというものである。一方、前記順序回路は、出力を現在の入力のみでは定めず、入力やその順序回路の過去の履歴に依存して定めるものである。このため、前記順序回路は、その入力の過去の履歴や当該順序回路の過去の履歴を記憶する手段、即ちフリップフロップやラッチを備えている。

【0003】又、このような順序回路にあって、複数のフリップフロップの動作を、共通のクロック信号で同期

して動作させるものもある。このようなものは、同期式順序回路等と呼ばれ、広く用いられている。このような同期式順序回路は、非同期の順序回路に比べ、タイミング設計等が容易である等の利点を有している。

【0004】

【発明が解決しようとする課題】しかしながら、LSI等の半導体集積回路の入力回路、あるいはその外部回路において、複数の信号間での各論理状態の変化の順序の、微妙な相互変化によって、内部回路が誤動作を生じてしまうことがある。例えば、その内部回路中の前述のような同期式順序回路のものにおいて、誤動作が生じてしまうことがある。

【0005】例えば、ある一方の信号が他方の信号と同時期に発生、あるいは極微少時間だけ先に発生するような回路があって、何らかの条件の相違で、この信号の発生順序が入替わってしまうことがある。このような順序の入替わりが発生した場合、これら信号間の時間差は極微少時間であってとしても、これら信号を用いる回路に誤動作を生じてしまうことがある。

【0006】例えば、所定のテスト装置を用い、実際のLSIに対してその入出力ピンからテストパターンを入力しながらその動作をテストする場合と、該LSIの製造以前にシミュレーションにてテストした場合とにおいて、動作条件の変化が生じてしまうことがある。これによって、そのLSIに入力される複数の信号間で、各論理状態の変化の順序が入替わってしまうことがある。このような場合、信号の論理状態の変化が発生した相互の時間間隔は極微少であったとしても、誤動作を生じてしまうことがある。

【0007】例えば、実際のLSIへとテストパターンを入力しながらテストする際、テストパターンを発生するテスト装置の、そのLSIへと入力する信号のタイミングのばらつき（以降、テスト・スキューと称する）が、例えば $\pm 1.5\text{ ns}$ とする。この場合、テストパターンとしてLSIに入力される複数の信号間では、最大、 $(1.5 + 1.5 = 3\text{ ns})$ のばらつきが生じてしまうものである。

【0008】このため、 3 ns の時間間隔以内で接近した複数の信号間にあっては、種々のテスト条件に変化によって、各論理状態の変化の順序が入替わってしまう恐れがある。例えば、LSIの入出力ピンへ信号を入力するために用いるプローブの不要容量の変化等によって、このような論理状態の変化の順序が入替わってしまう恐れがある。

【0009】図7は、従来からのフリップフロップを用いた回路の一例を示す回路図である。この図7では、合計5個のD型フリップフロップFF1～FF5が用いられており、同期式順序回路の一例である。

【0010】これらフリップフロップFF1～FF5は、それぞれのデータ入力D及びそれぞれのデータ出力

Qについて、直列接続されている。又、D型フリップフロップFF1のそのデータ入力Dには、データ入力信号IDが入力されている。又、前記D型フリップフロップFF5のそのデータ出力Qからは、データ出力信号ODが出力されている。

【0011】又、前記D型フリップフロップFF1、FF2及びFF5においては、それぞれのクロック入力CKへは、クロック信号CKaが入力されている。又、前記フリップフロップFF3及びFF4のそれぞれのクロック入力CKへは、クロック信号CKbが入力されている。

【0012】この図7に示される回路にあって、前記クロック信号CKaの立上がり、前記クロック信号CKbの立上がりとを、同一タイミングとして動作させる場合が考えられる。

【0013】しかしながら、何らかの原因によって、例えばこれらクロック信号CKa及びCKbを前述のようなテストでそのLSIの外部から独立して入力する場合の前述のような入力信号のばらつき、即ちテスト・スキューによって、これらクロック信号CKaとCKbとの間に、立上がりタイミングの微妙なずれが生じてしまう恐れがある。この場合、各D型フリップフロップFF1～FF5へ、それぞれのクロック入力CKに入力される信号の立上がりにて取込まれ、保持されるデータが異なってしまうという誤動作の恐れがある。

【0014】本発明は、前記従来の問題点を解決するべくなされたもので、複数の信号間での各論理状態の変化の順序の、微妙な相互変化による内部回路の誤動作を防止することができる信号タイミング調整回路を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、そのデータ入力に、第1入力信号が入力される第1入力フリップフロップと、そのデータ入力に、第2入力信号が入力される第2入力フリップフロップと、前記第1入力フリップフロップの前記データ入力の論理状態の変化を検出する第1入力信号変化検出回路と、前記第2入力フリップフロップの前記データ入力の論理状態の変化を検出する第2入力信号変化検出回路と、前記第1入力信号変化検出回路あるいは前記第2入力信号変化検出回路の少なくとも一方で論理状態の変化が検出された場合、該検出を所定タイミング調整時間幅 $T\alpha$ だけ遅延させて伝達するタイミング調整クロック信号CK α を出力するタイミング調整クロック信号発生回路とを備え、前記第1入力フリップフロップ及び前記第2入力フリップフロップのそれぞれのクロック入力へと、前記タイミング調整クロック信号CK α を入力するようにしたことにより、前記課題を達成したものである。

【0016】又、前記信号タイミング調整回路において、前記第1入力信号変化検出回路が、前記第1入力フ

リップフロップのその前記データ入力とそのデータ出力との論理状態の比較により、その前記データ入力の論理状態の変化を検出するものであり、前記第2入力信号変化検出回路が、前記第2入力フリップフロップのその前記データ入力とそのデータ出力との論理状態の比較により、その前記データ入力の論理状態の変化を検出するものとする。ことで、前記課題を達成すると共に、前記タイミング調整クロック信号CK α にて伝達される論理状態の変化の検出に応じて、前記第1入力フリップフロップや前記第2入力フリップフロップをより確実に動作させるようにしたものである。

【0017】

【作用】従来から、通常の論理シミュレーションでは問題がなかった論理回路について、これを実際にLSIへと作り込み、その入出力ピンへ前述のようなテスト装置を接続し、テストパターンを入力しながらテストすると、様々な回路動作上の問題が見出されることがあった。

【0018】発明者は、この原因の一つとして、前述のようなテスト・スキューの影響があることを見出している。このようなテスト・スキューによって、例えば前記図7を用いて前述したような、前記クロック信号CKaの論理状態の変化と前記クロック信号CKbの論理状態の変化との順序の入替わり等が生じてしまうというものである。

【0019】このような点に鑑み、本発明においては、LSI等の入力部分に信号タイミング調整回路を設けるようにし、複数の信号間で、所定タイミング調整時間幅 $T\alpha$ より短い時間で接近して論理状態の変化が発生した場合、これら論理状態の変化は同一時刻に発生すべきものと判定するようにしている。従って、該信号タイミング調整回路にあっては、前記タイミング調整時間幅 $T\alpha$ 以内で接近した複数の信号の論理状態の変化は、同一時刻の論理状態の変化としてタイミング調整し、内部回路へと入力するようにしている。

【0020】一方、本発明の前記信号タイミング調整回路にあっては、前記タイミング調整時間幅 $T\alpha$ より長い時間間隔のある、複数の信号間での各論理状態の変化については、それぞれの論理状態の変化の時刻が独立したものと判定している。従って、これら時間間隔のある複数信号間での論理状態の変化については、タイミング調整することなく、即ち論理状態の変化の時期を一致させること等はせず、そのまま内部回路へと入力するようにしている。

【0021】このように、本発明よれば、複数の信号間での各論理状態の変化の順序に、微妙な相互変化が発生してしまったとしても、前述のような信号タイミング調整で内部回路の誤動作を防止することができる。又、本発明のこのような信号タイミング調整回路を設けたとしても、信号間での論理状態の変化のタイミングが前記タ

イミング調整時間幅 $T\alpha$ より離れている場合には、何らタイミング調整はなされないで、該信号タイミング調整回路を設けたことによるタイミング上の影響を与えることは極少なく、基本的にゼロとなるものである。

【0022】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0023】図1は、本発明が適用された第1実施例のLSIに用いられる信号タイミング調整回路の回路図である。

【0024】この図1において、符号I1～I3は、LSI外部から入力される入力信号の名称であり、信号を入力するための端子名である。符号B1～B3は、このような信号入力の際に用いられる入力バッファである。これら入力バッファB1～B3の次段へと、複合入力フリップフロップIF1～IF3が設けられている。これら複合入力フリップフロップIF1～IF3は、それぞれ、入力される前記データ入力信号I1～I3に従った、内部回路へのデータ入力信号Ia1～Ia3を出力するものである。又、これら複合入力フリップフロップIF1～IF3は、それぞれ、本発明が適用される入力フリップフロップ及び入力信号変化検出回路を備えるものである。

【0025】又、これら複合入力フリップフロップIF1～IF3からは、それぞれ、入力されるデータ入力信号の論理状態の変化の検出を出力する、論理状態変化検出信号E1～E3が出力される。これら論理状態変化検出信号E1～E3は、本発明が適用されるタイミング調整クロック信号発生回路Gへと入力されている。

【0026】該タイミング調整クロック信号発生回路Gは、いずれかの前記複合入力フリップフロップIF1～IF3にて、それぞれが入力するデータ入力信号に論理状態の変化が検出された場合、該検出を伝達する前記論理状態変化検出信号E1～E3に従って、該検出を前記タイミング調整時間幅 $T\alpha$ だけ遅延させて伝達するタイミング調整クロック信号ECKを出力するものである。

【0027】図2は、本第1実施例に用いられる前記複合入力フリップフロップの回路図である。

【0028】この図2に示される如く、前記複合入力フリップフロップIF1～IF3（以降、総称して複合入力フリップフロップIFiとする）は、D型フリップフロップFFとエクスクルーシブOR論理ゲートG1とにより構成されている。

【0029】前記D型フリップフロップFFは、本発明が適用される第1入力フリップフロップあるいは第2フリップフロップに相当するものである。又、前記エクスクルーシブOR論理ゲートG1は、本発明が適用される第1入力信号変化検出回路あるいは第2入力信号変化検出回路となっている。即ち、符号Fは、前記第1入力信号変化検出回路あるいは前記第2入力信号変化検出回路

となる。前記エクスクルーシブOR論理ゲートG1は、前記D型フリップフロップFFのそのデータ入力Dとそのデータ出力Qとの論理状態の比較を行い、その相違により、前記データ入力Dの論理状態を検出するというものである。

【0030】前記データ入力Dの論理状態が変化したとしても、前記D型フリップフロップFFのそのクロック入力CKへ入力される信号が立上らなければ、当然ながらその前記データ出力Qの論理状態は変化しない。従って、このような前記データ入力Dと前記データ出力Qとの論理状態の相違により、前記データ入力Dの論理状態の変化を検出するというものである。

【0031】従って、このような前記複合入力フリップフロップIFiにあっては、まず、前記データ入力Dの論理状態が変化すると、前記論理状態変化検出信号E1～E3（論理状態変化検出信号Eiと総称する）がH状態となる。又、このような前記複合入力フリップフロップIFiにあって、前記タイミング調整クロック信号ECKが立上ると、前記データ入力Dを前記D型フリップフロップFFへと取込み、保持する。又、このように取込まれ、保持された論理状態は、データ入力Ia1～Ia3（データ入力Iaiと総称する）として出力されるものである。

【0032】図3は、本第1実施例に用いられる前記タイミング調整クロック信号発生回路の回路図である。

【0033】この図3に示される如く、前記図1に示した前記タイミング調整クロック信号発生回路Gは、OR論理ゲートG2と、AND論理ゲートG3と、所定個数だけのバッファゲートG4と、インバータG5とにより構成されている。

【0034】前記OR論理ゲートG2は、3入力のものであり、前記複合入力フリップフロップIF1～IF3がそれぞれ出力する前記論理状態変化検出信号E1～E3を独立して入力している。従って、これら論理状態変化検出信号E1～E3のいずれかによって、対応する前記データ入力I1～I3のいずれかに論理状態の変化の検出が伝達された場合、前記OR論理ゲートG2が出力するクロック信号ECはH状態となる。

【0035】該クロック信号ECは、前記AND論理ゲートG3、前記バッファゲートG4及び前記インバータゲートG5を伝達しながら、前記タイミング調整クロック信号ECKとして出力される。これらAND論理ゲートG3、バッファゲートG4及びインバータゲートG5は、ある種の発振回路を構成している。

【0036】なお、前記AND論理ゲートG3、所定個数個用いられる前記バッファゲートG4及び前記インバータゲートG5による信号遅延時間は、前記OR論理ゲートG2や前記複合入力フリップフロップIFiにおける信号遅延時間に比べ格段長くなっている。又、これらAND論理ゲートG3、所定個数個の前記バッファゲート

トG4及び前記インバータゲートG5による遅延時間の合計を $T\beta$ とすれば、前記タイミング調整時間幅 $T\alpha$ は、ほぼ、 $(T\alpha = 2 \times T\beta)$ と表わすことができる。

【0037】図4は、本第1実施例の動作を示すタイムチャートである。

【0038】このタイムチャートにあっては、前記入力信号I1～I3の全ての論理状態の変化が、前記タイミング調整時間幅 $T\alpha$ 以内で生じているものとしている。又、特に、前記入力信号I1の論理状態の変化が最初に発生しているものとしている。

【0039】まずこの図4の時刻 t_1 において、前記入力信号I1が立下がっている。これに伴って、該時刻 t_1 の直後、前記論理状態変化検出信号E1が立上がっている。これは、前記複合入力フリップフロップIF1が備える前記エクスクルーシブOR論理ゲートG1にて、そのデータ入力Dに論理状態の変化が検出されたことによる。

【0040】前記時刻 t_1 から比較的短時間の後、時刻 t_2 では、前記クロック信号ECが立上がる。これは、前記論理状態変化検出信号E1が立上がり、前記OR論理ゲートG2の出力が立上がることによるものである。

【0041】なお、前記時刻 t_1 と前記時刻 t_2 との間の時間は、このタイムチャート上では、比較的長く表わされているが、極短時間のものであり、前記タイミング調整時間幅 $T\alpha$ と比べても無視できる短時間である。又、本実施例において前記タイミング調整時間幅 $T\alpha$ は時刻 t_2 から時刻 t_6 までの時間であるが、基本的に、時刻 t_1 から時刻 t_6 までの時間とも考えることができる。

【0042】続いて、時刻 t_3 において、前記入力信号I3が立上がっている。これに伴って、該時刻 t_3 の直後に、前記論理状態変化検出信号E3が立上がっている。これは、前記複合入力フリップフロップIF3が有する前記エクスクルーシブOR論理ゲートG1にて、該入力信号I3の論理状態の変化が検出されたことによる。

【0043】続いて、時刻 t_4 では、前記入力信号I2が立下がっている。又、該時刻 t_4 の直後に、前記論理状態変化検出信号E2が立上がっている。該論理状態変化検出信号E2の立上がりは、前記複合入力フリップフロップIF2が有する前記エクスクルーシブOR論理ゲートG1にて、前記入力信号I2の論理状態の変化が検出されたためである。

【0044】なお、前記時刻 t_3 の直後に前記論理状態変化検出信号E3が立上がった、又、前記時刻 t_4 の直後に前記論理状態変化検出信号E2が立上がったとしても、既に前記クロック信号ECは立上っており、これ以上の論理状態の変化はない。

【0045】前記時刻 t_2 から前記遅延時間 $T\beta$ の後、即ち時刻 t_5 にて、前記タイミング調整クロック信号E

CKが立下がる。これに伴って、前記図3に示した前記AND論理ゲートG3の出力はL状態となる。該AND論理ゲートG3の出力がL状態となったことで、前記遅延時間 $T\beta$ の後、即ち時刻 t_6 において、前記タイミング調整クロック信号ECKが立上げることとなる。

【0046】該時刻 t_6 にて該タイミング調整クロック信号ECKが立上がると、前記複合入力フリップフロップIF1～IF3がそれぞれ有する前記D型フリップフロップFFは、同一時刻、即ち時刻 t_7 にて、それぞれの前記データ入力Dに入力される論理状態を取込み、保持する。即ち、この時刻 t_7 にて、同一タイミングにて、論理状態の変化タイミングが接近して相互にずれていた前記入力信号I1～I3の、その論理状態の変化は、それぞれ、対応する前記複合入力フリップフロップIF1～IF3の前記D型フリップフロップFFへと同一タイミングにて取込まれ、保持されることとなる。これに伴って、該時刻 t_7 の直後、前記入力信号I1～I3のそれぞれの論理状態に応じて、同一タイミングにて前記入力信号Ia1～Ia3が変化する。

【0047】以上説明したとおり、本第1実施例によれば、前記タイミング調整時間幅 $T\alpha$ 以内で接近して、前記入力信号I1～I3のうちの2以上の信号に論理状態の変化が生じた場合、その論理状態の変化のタイミングが調整され、同一タイミングで対応する前記入力信号Ia1～Ia3として出力される。

【0048】又、これらの入力信号I1～I3の論理状態の変化がタイミング的に独立して一つだけ発生した場合には、それぞれ、前記タイミング調整時間幅 $T\alpha$ の後、対応する前記入力信号Ia1～Ia3として出力されるものである。

【0049】従って、本第3実施例によれば、複数の前記入力信号I1～I3間で、各論理状態の変化の順序に微妙な相互変化が生じたとしても、このような相互変化が前記タイミング調整時間幅 $T\alpha$ 以内であれば、その変化タイミングを同期させることで、内部回路の誤動作を効果的に防止することができる。

【0050】図5は、本発明が適用された第2実施例のLSIの一部の回路図である。

【0051】この図5に示される如く、本第2実施例のLSIには、組合せ回路部N1及びN2が作り込まれている。これら組合せ回路部N1及びN2には、それぞれ、所定の論理回路が構成されているものである。

【0052】又、これら組合せ回路部N1及びN2の入出力部分には、スキャンバス方式のテストで、スキャンレジスタとしても用いられるフリップフロップ回路FFB1～FFB(k+m+r)が設けられている。これらフリップフロップ回路FFB1～FFB(k+m+r)については、スキャンレジスタとしてシフトさせる際用いるクロックとして、クロック信号CKa及びCKbのいずれかが、混在して用いられている。

【0053】従って、これらクロック信号CKa及びCKbの立上がりタイミングによっては、そのビットデータのシフトにあって、誤動作を生じてしまう恐れがあった。しかしながら、本第2実施例においては、本発明を適用することで、このような誤動作を効果的に防止している。

【0054】図6は、本第2実施例における本発明が適用される信号タイミング調整回路の回路図である。

【0055】この図6に示される如く、本第2実施例においては、前記クロック信号CKa及びCKbに関して、前記信号タイミング調整回路が用いられている。

【0056】本第2実施例については、前記図1に示した前記第1実施例のものに比べ、前記複合入力フリップフロップIFIの個数が、1個削減され、2個用いられているものである。又、前記タイミング調整クロック信号発生回路Gについては、前記第1実施例については前記図3に示される如く前記OR論理ゲートG2が3入力であるのに対し、本発明で用いられる前記タイミング調整クロック信号発生回路Gが有するOR論理ゲートG2は2入力とされているものである。

【0057】この図6に示す如く、前記クロック信号CKa及びCKbを得るべく、本第2実施例においては、LSI外部からクロック信号CKa'及びCKb'を入力している。これらクロック信号CKa'及びCKb'を前記信号タイミング調整回路に入力し、前記タイミング調整時間幅 T_{α} 以内で接近する立上がりのタイミングを同一タイミングへタイミング調整し、前記クロック信号CKa及びCKbとして出力するようにしている。

【0058】以上説明したとおり、本第2実施例によれば、前記クロック信号CKa'及びCKb'間での各論理状態の変化の順序の、微妙なずれを解消することができる。シフトレジスタとして動作させた場合の、前記フリップフロップ回路FF1~FF(k+m+r)の誤動作を防止することができる。

【0059】なお、本実施例の前記図6に示される前記信号タイミング調整回路については、前記図7の前記クロック信号CKa及びCKbの生成にも用いることができる。これによって、前記図7での前述のような前記D型フリップフロップFF1~FF5の誤動作を、効果的に防止することも可能である。

【0060】

【発明の効果】以上説明したとおり、本発明によれば、

複数の信号間での各論理状態の変化の順序の、微妙な相互変化による内部回路の誤動作を効果的に防止することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】本発明が適用された第1実施例のLSIに用いられる信号タイミング調整回路の回路図

【図2】前記第1実施例の信号タイミング調整回路に用いられる複合入力フリップフロップの回路図

【図3】前記第1実施例の前記信号タイミング調整回路に用いられるタイミング調整クロック信号発生回路の回路図

【図4】前記第1実施例の前記信号タイミング調整回路の動作を示すタイムチャート

【図5】本発明が適用された第2実施例のLSIの一部の回路図

【図6】前記第2実施例の前記LSIの信号タイミング調整回路の回路図

【図7】従来からのD型フリップフロップを用いた回路の一例を示す回路図

【符号の説明】

I1~I3…入力信号（信号タイミング調整の対象となるもの）

IS1~ISk…入力信号

Ia1~Ia3…入力信号（信号タイミング調整回路で生成されるもの）

B1~B3、IB1~IBk…入力バッファ

IFI、IF1~IF3…複合入力フリップフロップ

FF、FF1~FF5…D型フリップフロップ

G…タイミング調整クロック信号発生回路

G1…エクスクルーシブOR論理ゲート

G2…OR論理ゲート

G3…AND論理ゲート

G4…バッファゲート

G5…インバータゲート

E1~E3…クロック信号

ECK…タイミング調整クロック信号

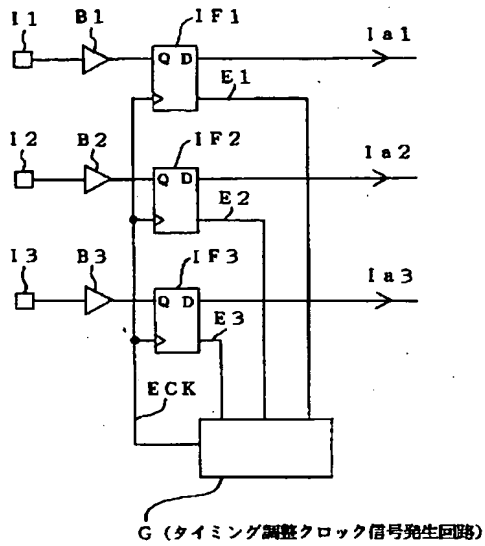
N1、N2…組合せ回路部

FFB1~FFB(k+m+r)…フリップフロップ回路（スキャンレジスタとしても用いられるもの）

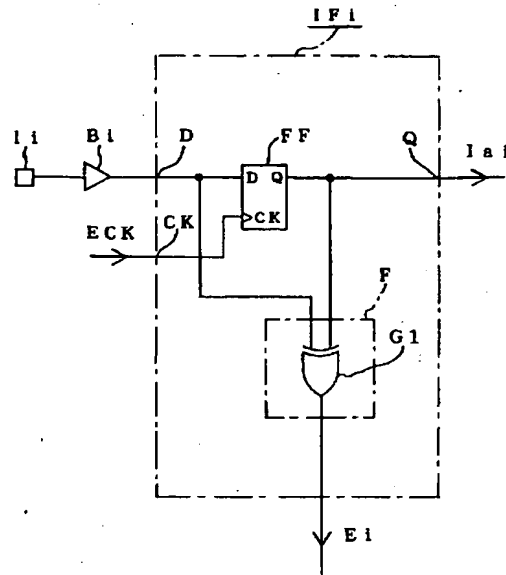
CKa'、CKb'…クロック信号（外部から入力されるもの）

CKa、CKb…クロック信号

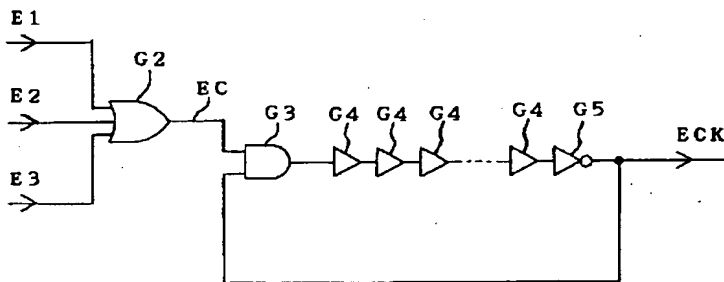
【図1】



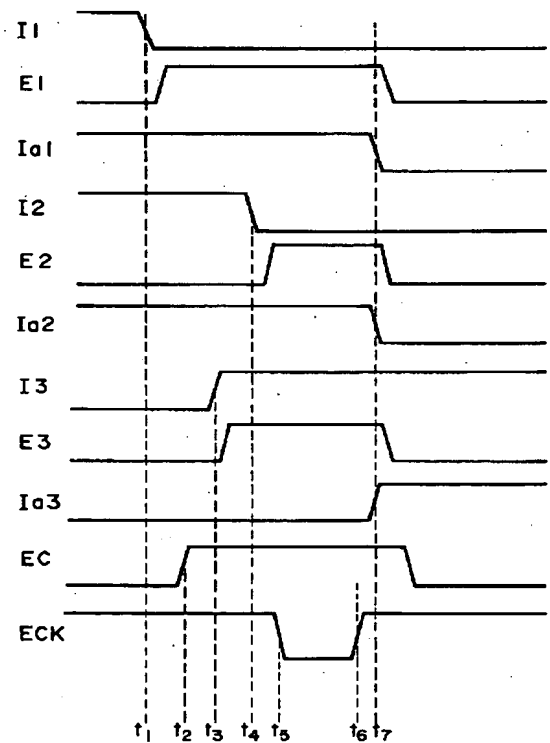
【図2】



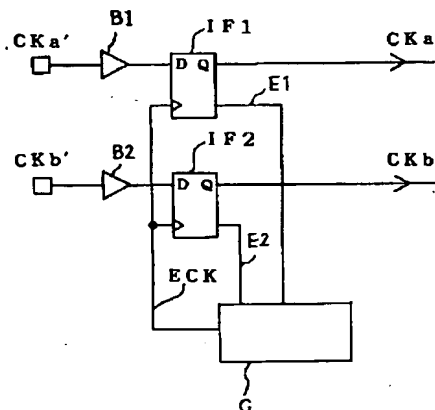
【図3】



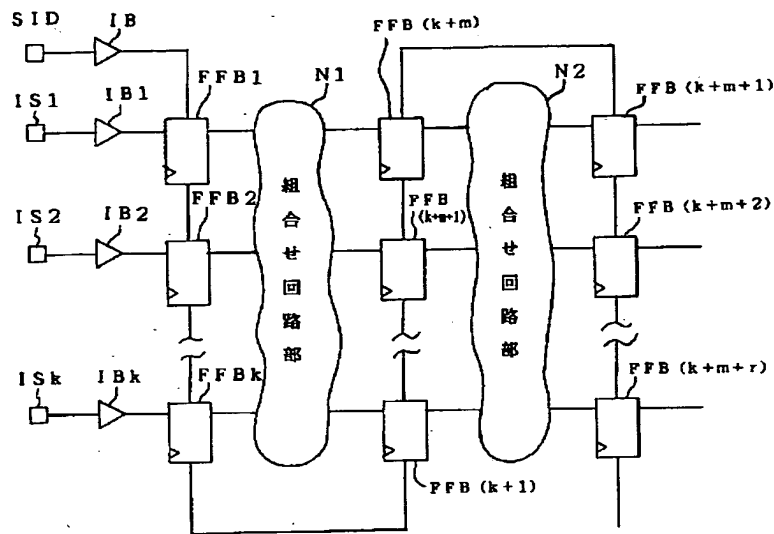
【図4】



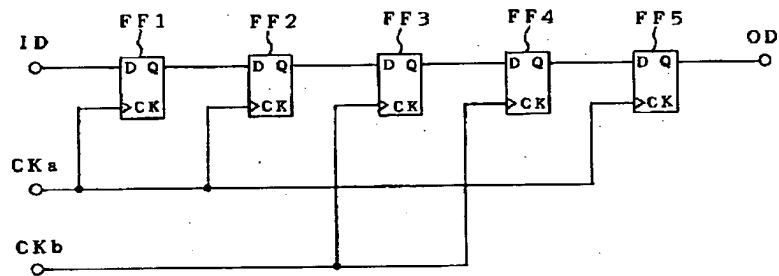
【図6】



【図 5】



【図 7】



フロントページの続き

(51) Int. Cl. 6

// H 0 3 K 5/156

識別記号

片内整理番号

Z

F I

技術表示箇所

H 0 3 K 5/00

K